

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-16342

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 1 1 C 11/401

G 1 1 C 11/34

3 7 1 K

29/00

6 7 1

29/00

6 7 1 T

H 0 1 L 21/82

11/34

3 7 1 A

27/04

H 0 1 L 21/82

P

21/822

F

審査請求 未請求 請求項の数10 O L (全 9 頁) 最終頁に続く

(21) 出願番号

特願平9-165936

(22) 出願日

平成9年(1997) 6月23日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 藤井 淳

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 奥田 正樹

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

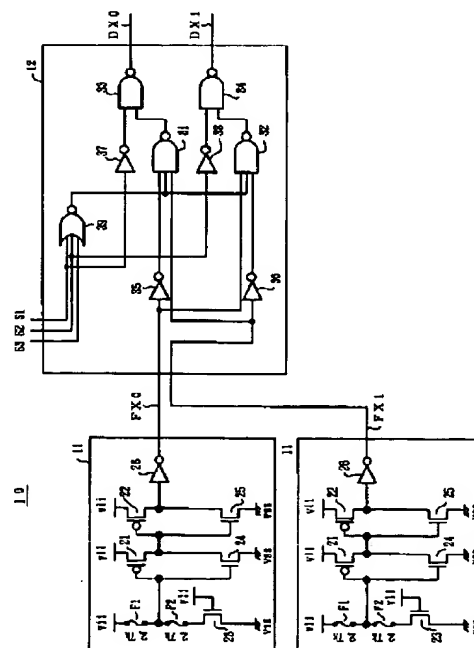
(54) 【発明の名称】 品種切り替え可能な半導体装置及びその動作試験方法

(57) 【要約】

【課題】本発明は、パッドを使用せずに品種切り替え機能を実現し、更に品種決定後であっても一時的に品種切り替え可能な半導体装置を提供することである。

【解決手段】半導体装置は、第1のモードに於てはヒューズの切断状態によって選択信号を確定すると共に第2のモードに於ては供給される制御信号によって選択信号を確定する品種切り替え回路と、品種切り替え回路からの選択信号により動作が選択される内部回路を含む

本発明による品種切り替え回路の回路構成を示す回路図



## 【特許請求の範囲】

【請求項1】第1のモードに於てはヒューズの切断状態によって選択信号を確定すると共に、第2のモードに於ては供給される制御信号によって該選択信号を確定する品種切り替え回路と、

該品種切り替え回路からの該選択信号により動作が選択される内部回路を含むことを特徴とする半導体装置。

【請求項2】前記品種切り替え回路は、ヒューズの切断状態によって出力を確定するヒューズ回路と、

該ヒューズ回路からの出力と前記制御信号とを受け取り、前記第1のモードに於ては該ヒューズ回路からの出力によって前記選択信号を確定すると共に、前記第2のモードに於ては該制御信号によって該選択信号を確定する品種選択回路を含むことを特徴とする請求項1記載の半導体装置。

【請求項3】前記品種切り替え回路に於て、前記第1のモード及び前記第2のモードは前記制御信号によって決定されることを特徴とする請求項1記載の半導体装置。

【請求項4】前記内部回路は、複数の入出力インターフェース構成から一つの入出力インターフェース構成を選択可能であり、前記選択信号により該一つの入出力インターフェース構成を選択することを特徴とする請求項1記載の半導体装置。

【請求項5】通常動作モードであるかテスト動作モードであるかを判定するモード判定回路と、

該テスト動作モードである場合には外部からの入力信号をデコードして前記制御信号を生成するモードデコーダ回路を含み、該通常動作モードは前記第1のモードに対応し該テスト動作モードは前記第2のモードに対応することを特徴とする請求項4記載の半導体装置。

【請求項6】通常動作モードに於てはヒューズの切断状態によって入出力インターフェース構成を確定すると共に、テスト動作モードに於ては信号入力によって入出力インターフェース構成を選択する半導体装置に於て、ヒューズを切断することによって複数の入出力インターフェース構成から第1の入出力インターフェース構成を選択し、

コマンド入力によってテスト動作モードを指定すると共に該複数の入出力インターフェース構成から第2の入出力インターフェース構成を選択し、

該第2の入出力インターフェース構成を用いて該半導体装置の動作試験を実行する各段階を含むことを特徴とする半導体装置の動作試験方法。

【請求項7】前記第2の入出力インターフェース構成は、前記第1の入出力インターフェース構成よりも入出力ビット数が多いことを特徴とする請求項6記載の動作試験方法。

【請求項8】第1のモードに於ては内部ヒューズの切断状態によって品種を決定し、第2のモードに於ては外部

からの入力信号によって品種を決定することを特徴とする品種切り替え可能な半導体装置。

【請求項9】前記品種は入出力インターフェース構成によって分類されることを特徴とする請求項8記載の半導体装置。

【請求項10】前記第1のモードは通常動作モードであり、前記第2のモードはテスト動作モードであることを特徴とする請求項8記載の半導体装置。

## 【発明の詳細な説明】

10 【0001】

【発明の属する技術分野】本発明は一般に半導体装置に関し、詳しくは品種切り替え可能な半導体装置に関する。

【0002】

【従来の技術】半導体装置に於ては一般に、製造時には多品種に対応できる製品を製造しておいて、出荷時に品種を決定することが行われる。例えば、入出力インターフェースの構成を4ビット構成、8ビット構成、16ビット構成、32ビット構成間で切り替え可能にしておき、出荷時にビット構成を決定したり、半導体記憶装置に於て全体をリフレッシュするために何回リフレッシュコマンドを入力する必要があるかといった構成を、出荷時に決定したりする。

【0003】このような品種切り替え可能な半導体装置に於て、従来はPADを使用して、所定のPADを電源電圧VCC或いはグランド電圧VSSにボンディングすることによって、使用する品種を決定していた。図6は、従来の品種切り替え機構の回路構成を示す回路図である。図6の品種切り替えデコーダは、NAND回路201乃至204、インバータ205乃至210、及びパッドP1及びP2を含む。パッドP1及びP2に印加される電圧が、HIGH（電圧VCC）及びLOW（VSS）のどの組み合わせであるかに応じて、インバータ205乃至208の何れか一つの出力がHIGHになる。インバータ205乃至208の出力は各々、入出力インターフェースの4ビット構成、8ビット構成、16ビット構成、32ビット構成に対応している。製品出荷前にパッケージに封止する際に、パッドP1及びP2を電源電圧VCC或いはグランド電圧VSSの端子にボンディングする。これによって装置動作時に、インバータ205乃至208の選択された一つの出力がHIGHになる。インバータ205乃至208の出力は、半導体装置の内部回路（入出力インターフェース回路を含む）に供給され、半導体装置は選択された入出力インターフェース構成で動作する。

【0004】

【発明が解決しようとする課題】パッドは大きな面積を必要とするために、品種切り替えの為に使用するパッドが存在するということは、品種切り替えの為にチップ面積が増大することを意味する。特に1/Oの信号数が多

い場合には、限られたチップ面積の中で、品種切り替え用のパッドを確保するのは困難である。

【0005】またボンディングをした後に、最終的な動作試験をするために、様々な入力信号を与えて出力信号を観察する必要がある。例えばパッドのボンディングにより4ビット構成に品種を決定した場合、入出力インターフェースのビット数が16ビット構成の場合と比較して1/4になる。従って4ビット構成に固定した場合には、動作試験が、16ビット構成に固定した場合に比較して4倍の時間かかることになる。

【0006】従って本発明の目的は、パッドを使用しない品種切り替え機能を有した半導体装置を提供することである。また本発明の別の目的は、品種決定後であっても一時的に品種切り替え可能な半導体装置を提供することである。また更なる本発明の目的は、上記半導体装置を用いて比較的短い時間で動作試験を実行する方法を提供することである。

【0007】

【課題を解決するための手段】請求項1の発明に於ては、半導体装置は、第1のモードに於てはヒューズの切断状態によって選択信号を確定すると共に、第2のモードに於ては供給される制御信号によって該選択信号を確定する品種切り替え回路と、該品種切り替え回路からの該選択信号により動作が選択される内部回路を含むことを特徴とする。

【0008】上記発明に於ては、あるモードではヒューズの切断状態によって内部回路の動作を選択するので、従来のようにパッドへのボンディングで動作を選択していたのと比較してパッド面積を節約可能であると共に、異なるモードでは制御信号によって内部回路の動作を選択可能であるので、ヒューズ切断後であっても必要に応じて動作切り替えを行うことが出来る。

【0009】請求項2の発明に於ては、請求項1記載の半導体装置に於て、前記品種切り替え回路は、ヒューズの切断状態によって出力を確定するヒューズ回路と、該ヒューズ回路からの出力と前記制御信号とを受け取り、前記第1のモードに於ては該ヒューズ回路からの出力によって前記選択信号を確定すると共に、前記第2のモードに於ては該制御信号によって該選択信号を確定する品種選択回路を含むことを特徴とする。

【0010】上記発明に於ては、ヒューズの切断状態によって出力を確定するヒューズ回路と、ヒューズ回路からの出力或いは制御信号の何れかによって選択信号を確定する品種選択回路を設けることによって、ヒューズを切断して動作を確定した後であっても制御信号によって動作を切り替えることが可能となる。請求項3の発明に於ては、請求項1記載の半導体装置に於て、前記品種切り替え回路に於て、前記第1のモード及び前記第2のモードは前記制御信号によって決定されることを特徴とする。

【0011】上記発明に於ては、制御信号によって第1のモード或いは第2のモードを切り替えることが出来る。請求項4の発明に於ては、請求項1記載の半導体装置に於て、前記内部回路は、複数の入出力インターフェース構成から一つの入出力インターフェース構成を選択可能であり、前記選択信号により該一つの入出力インターフェース構成を選択することを特徴とする。

【0012】上記発明に於ては、ヒューズ切断状態或いは制御信号によって、内部回路の入出力インターフェース構成を切り替えることが出来る。請求項5の発明に於ては、請求項4記載の半導体装置に於て、通常動作モードであるかテスト動作モードであるかを判定するモード判定回路と、該テスト動作モードである場合には外部からの入力信号をデコードして前記制御信号を生成するモードデコーダ回路を含み、該通常動作モードは前記第1のモードに対応し該テスト動作モードは前記第2のモードに対応することを特徴とする。

【0013】上記発明に於ては、通常動作モード時にはヒューズ切断状態で決定される入出力インターフェース構成で動作し、テスト動作モード時には外部入力する信号によって入出力インターフェース構成を切り替えることが可能である。従ってテスト動作モード時には、入出力ビット数の多い入出力インターフェース構成を選択すれば、テストにかかる時間を削減することが出来る。

【0014】請求項6の発明に於ては、半導体装置の動作試験方法は、通常動作モードに於てはヒューズの切断状態によって入出力インターフェース構成を確定すると共に、テスト動作モードに於ては信号入力によって入出力インターフェース構成を選択する半導体装置に於て、ヒューズを切断することによって複数の入出力インターフェース構成から第1の入出力インターフェース構成を選択し、コマンド入力によってテスト動作モードを指定すると共に該複数の入出力インターフェース構成から第2の入出力インターフェース構成を選択し、該第2の入出力インターフェース構成を用いて該半導体装置の動作試験を実行する各段階を含むことを特徴とする。

【0015】上記発明に於ては、テスト動作モード時には外部からのコマンド入力によって入出力インターフェース構成を切り替えて動作試験を行うことが可能である。従ってテスト動作モード時には、入出力ビット数の多い入出力インターフェース構成を選択すれば、動作試験にかかる時間を削減することが出来る。請求項7の発明に於ては、請求項6記載の動作試験方法に於て、前記第2の入出力インターフェース構成は、前記第1の入出力インターフェース構成よりも入出力ビット数が多いことを特徴とする。

【0016】上記発明に於ては、テスト動作モード時に、入出力ビット数の多い入出力インターフェース構成を選択して動作試験を実行するので、動作試験にかかる時間を削減することが出来る。請求項8の発明に於て

は、品種切り替え可能な半導体装置は、第1のモードに於ては内部ヒューズの切断状態によって品種を決定し、第2のモードに於ては外部からの入力信号によって品種を決定することを特徴とする。

【0017】上記発明に於ては、あるモードではヒューズの切断状態によって品種を選択するので、従来のようにパッドへのボンディングで品種を選択していたのと比較してパッド面積を節約可能であると共に、異なるモードでは入力信号によって品種を選択可能であるので、ヒューズ切断後であっても必要に応じて品種切り替えを行

うことが出来る。  
【0018】請求項9の発明に於ては、請求項8記載の半導体装置に於て、前記品種は入出力インターフェース構成によって分類されることを特徴とする。上記発明に於ては、ヒューズ切断後であっても、必要に応じて入出力インターフェース構成を切り替えることが出来る。請求項10の発明に於ては、請求項8記載の半導体装置に於て、前記第1のモードは通常動作モードであり、前記第2のモードはテスト動作モードであることを特徴とする。

【0019】上記発明に於ては、ヒューズ切断後であっても、テスト動作モード時には外部入力する信号によって入出力インターフェース構成を切り替えることが可能である。従ってテスト動作モード時には、入出力ビット数の多い入出力インターフェース構成を選択すれば、テストにかかる時間を削減することが出来る。

【0020】

【発明の実施の形態】以下に、本発明の実施例を添付の図面を用いて説明する。図1は、本発明による品種切り替え回路の回路構成を示す回路図である。図1の品種切り替え回路10は、少なくとも一つのヒューズ回路11と、品種選択回路12を含む。ヒューズ回路11は、ヒューズF1及びF2、PMOSトランジスタ21及び22、NMOSトランジスタ23乃至25、及びインバータ26を含む。品種選択回路12は、NAND回路31乃至34、インバータ35乃至38、及びNOR回路39を含む。

【0021】ヒューズ回路11は、ヒューズF1及びF2の何れかを切断することによって、出力FX0或いはFX1をHIGH或いはLOWに固定する。ヒューズF1が切断されるときには出力がHIGHに固定され、ヒューズF2が切断されるときには出力がLOWに固定される。品種選択回路12は、ヒューズ回路11からの出力信号FX0及びFX1を受け取り、品種選択信号DX0及びDX1を出力する。品種選択信号DX0及びDX1は、例えば図6の品種切り替えデコーダの入力に供給される。但しこの場合、半導体チップ内部の品種選択回路12から半導体チップ内部の図6の品種切り替えデコーダに信号が供給されるので、当然ながらパッドP1及びP2を設ける必要はない。

【0022】品種選択信号DX0及びDX1の組合せによって、品種が決定される。この場合2ビットの組合せであるから、最大4種類の品種を表現することが出来る。通常動作時には、品種選択回路12の品種選択信号DX0及びDX1は、ヒューズ回路11からの信号FX0及びFX1にのみ依存する。即ち、信号FX0及びFX1の組み合わせによって、通常動作時の品種が決定される。テスト動作時には、品種選択回路12の品種選択信号DX0及びDX1は、信号FX0及びFX1の組み合わせに関わらず、信号S1乃至S3にのみ依存する。即ち、信号S1乃至S3の組み合わせによって、テスト動作時の品種が決定される。

【0023】このようにヒューズ回路11によって通常動作時の品種を固定することによって、従来のようにボンディングによるパッド接続で品種を決定する場合に比較して、パッド面積を節約することが出来る。更に、ヒューズ回路11によって品種を固定してしまった後でも、品種選択回路12を用いて暫定的に品種切り換えを行うことが可能である。従って入出力インターフェース構成を切り替える場合など、ヒューズ回路11で少ないビット構成に固定してしまった後でも、品種選択回路12を用いてテスト動作中は多いビット構成に切り換えることによって、短い時間でテストを終了することが出来る。

【0024】図1の品種切り替え回路10は実際には、品種選択信号DX0及びDX1によって、3種類の品種を表現する構成となっている。即ち例えば、入出力インターフェース構成として、4ビット構成、8ビット構成、及び16ビット構成の3品種が設けられており、それらの構成のうちの一つを選択する構成となっている。3つの品種に対応して、品種選択回路12に入力される信号S1乃至S3は3種類となっている。

【0025】品種選択回路12に於ては、信号S1乃至S3が全てLOWの場合、通常動作状態になる。この場合NOR回路39の出力がHIGHになり、NAND回路31及び32は、ヒューズ回路11からの信号FX0及びFX1及びそれらの反転信号に対するNAND回路として動作する。またNAND回路33及び34は、NAND回路31及び32からの出力を反転するインバータとして動作する。従って、品種選択信号DX0は、信号FX0の反転信号/FX0と信号FX1とのANDになる。また品種選択信号DX1は、信号FX1の反転信号/FX1と信号FX0とのANDになる。

【0026】信号S1乃至S3の少なくとも一つがHIGHになると、品種選択回路12はテスト動作状態になる。この場合NOR回路39の出力がLOWになり、NAND回路31及び32は、ヒューズ回路11からの信号FX0及びFX1に関わらず常にHIGHを出力する。従って、NAND回路33及び34は各々、インバータ37及び38からの出力に対してインバータとして

動作する。この場合、品種選択信号DX0は信号S1となり、品種選択信号DX1は信号S2となる。

【0027】図2は、入出力インターフェースの構成を4ビット構成、8ビット構成、及び16ビット構成の何れかに選択する場合の信号組み合わせを示す図である。図2に示されるように、通常動作時には信号S1乃至S3が全てLOWに設定され、品種選択信号DX0及びDX1は、ヒューズ回路11からの信号FX0及びFX1にのみ依存する。品種選択信号DX0及びDX1の各組み合わせに対して、図2に示されるようなインターフェース構成が割り当てられる。即ち例えば、信号DX0及びDX1がLOW及びHIGHの時、インターフェース構成は8ビット構成となる。

【0028】信号S1乃至S3の少なくとも一つがHIGHに設定されると、テスト動作状態となる。図2に示されるように、この場合、品種選択信号DX0及びDX1は、ヒューズ回路11からの信号FX0及びFX1に関係なく、信号S1乃至S3によって決定される。信号S1乃至S3の各組み合わせに対して、図2に示されるようなインターフェース構成が割り当てられる。即ち例

例えば、信号S1乃至S3がLOW、HIGH、及びLOWの場合、インターフェース構成は8ビット構成となる。

【0029】図3は、本発明の品種切り替え回路をDRAM等の半導体記憶装置に適用した場合の実施例を示す図である。図3の半導体記憶装置100は、クロックバッファ101、コマンドデコーダ102、アドレスバッファ103、I/Oデータバッファ104、制御信号ラッチ105、モードレジスタ106、コラムアドレスカウンタ107、テストモード判定回路108、テストモードデコーダ109、品種切り替え回路110、セルプレート電位BUMP制御回路111、及びバンク112を含む。バンク112は、コラムデコーダ121、ワードデコーダ122、センスアンプ・データ入出力ゲート123、及びメモリセルアレイ124を含む。

【0030】クロックバッファ101は、クロック信号CLKを受け取り、同期信号としてコマンドデコーダ102、アドレスバッファ103、及びI/Oデータバッファ104に供給する。また更にクロックバッファ101は、動作制御のための同期信号を内部回路に供給する。コマンドデコーダ102は、コントロール信号/C<sub>S</sub> (chip select)、/RAS (row address strobe)、/CAS (column address strobe)、及び/W<sub>E</sub> (write enable)を受け取りデコードする。コマンドデコーダ102は、コントロール信号のデコード結果を、制御信号ラッチ105、モードレジスタ106、テストモード判定回路108に供給する。制御信号ラッチ105は、コマンドデコーダ102からのデコード結果をラッチして、このラッチされた内容に基づいてバンク112が制御される。

【0031】アドレスバッファ103は、アドレス信号A0乃至A12及びBA0及びBA1を受け取り、モードレジスタ106、バンク112、及びテストモードデコーダ109に供給する。図に示されるようにバンク112は、例えば4つ設けられており、バンクアドレスBA0及びBA1によって一つのバンクが選択される。モードレジスタ106は、CASレイテンシやバースト長等のパラメータを格納するレジスタであり、レジスタに対する書き込み指令はコントロール信号でなされ、書き込み内容はアドレス信号で指定される。

【0032】コラムアドレスカウンタ107は、同一のローアドレス上の連続したコラムアドレスにアクセスする場合に、連続したコラムアドレスを順次生成し、バンク112に供給する。バンク112に於て、ワードデコーダ122は、供給されたローアドレスで指定されるメモリセルのデータをメモリセルアレイ124から読み出し、センスアンプ・データ入出力ゲート123のセンスアンプに取り込む。コラムデコーダ121は、センスアンプ・データ入出力ゲート123のデータ入出力ゲートを開くことによって、供給されたコラムアドレスに対応するセンスアンプのデータをI/Oデータバッファ104に供給する。データ書き込みの場合は、上記動作とは逆の動作が行われる。

【0033】I/Oデータバッファ104は、データ信号DQ0乃至DQ31を入出力するためのバッファである。テストモード判定回路108は、コマンドデコーダ102からのデコード結果と、信号/C<sub>KE</sub>を受け取り、テスト動作モードであるか通常動作モードであるかを判定する。具体的には例えば、コントロール信号/R<sub>AS</sub>、/CAS、/W<sub>E</sub>、及び/C<sub>S</sub>が全てLOWであり、かつ信号/C<sub>KE</sub>としてスーパーハイ即ち動作電圧V<sub>CC</sub>よりも高い電圧が与えられたときに、テスト動作モードであると判定する。

【0034】テストモードデコーダ109は、テストモード判定回路108がテスト動作モードであると判定するときに、アドレスバッファ103からのアドレス信号をデコードする。ここでアドレス信号のビットパターンによって、テスト動作のテスト内容を指定することが出来る。テストモードデコーダ109は、デコード結果を制御信号として、品種切り替え回路110及びセルプレートBUMP制御回路111に供給する。このようにして、アドレス信号によってテストの内容を指定し、それに応じて品種切り替え回路110及びセルプレートBUMP制御回路111を制御することが出来る。なおテストモードデコーダ109の構成は基本的に単なるデコーダであり、当業者の通常技術の範囲内であるので詳細な回路構成は省略する。

【0035】品種切り替え回路110は、図1の品種切り替え回路10に例えば図6の品種切り替えデコーダを備えた回路であり、ヒューズの切断によって通常動作モ

ードでの入出力インターフェース構成を固定すると共に、テスト動作モードに於ては、テストモードデコーダ109からの制御信号に応じて入出力インターフェース構成を切り替えることが可能である。この制御信号は、図1の信号S1乃至S3であり、これらの信号が一つでもHIGHである場合には、ヒューズの切断状態に関わらず、信号S1乃至S2の信号レベルによって入出力インターフェース構成が決定される。

【0036】セルプレートBUMP制御回路111は、セルプレートをグラウンド電位VSS或いは電源電位VCCに設定した条件の下で、データの読み書きテストを行うための回路であり、テストモードデコーダ109からの制御信号によってセルプレートをグラウンド電位VSS或いは電源電位VCCに設定する。ここでセルプレートとは、メモリセルアレイ124に対抗して設けられたプレートであり、通常動作時は中間電位に保たれる。テスト動作時には、このプレートを例えば電位VCCに設定することで、メモリセルアレイ124のセルからのリークが起り易い状態にしてデータの読み書きテストを行うことで、セルのリーク状態に関して試験することが出来る。

【0037】図3の半導体記憶装置100に於ては、品種切り替え回路110のヒューズ切断によって通常動作モードに於ける入出力インターフェース構成を決定することが出来る。従って従来のようにバッドに対するボンディングで品種切り替えを行う場合と比較してバッド面積を節約することが出来る。更にテスト動作モードに於ては、アドレス信号入力によって入出力インターフェース構成を一時的に切り替えることが可能であるので、テスト動作中にデータ入出力にかかる時間を大幅に削減することが可能である。

【0038】図4は、本発明による品種切り替え回路110を搭載した半導体記憶装置100に対するテストの手順を示すフローチャートである。ステップS1に於て、ヒューズ切断前のテストが行われる。ヒューズ切断前には例えばメモリセルに対するデータ書き込み及びデータ読み出しのテストを行い、欠陥セルを冗長セルに置き換えるために欠陥セルを同定する。ここで冗長セルとは、欠陥があるセルのアドレスを指定したときに代替セルをアクセスするように、ヒューズの切断によってアドレス置き換えを行うものである。

【0039】ステップS2に於て、ヒューズ切断を行う。ここでのヒューズ切断は、品種切り替え回路に於て入出力インターフェース構成を選択固定するためのヒューズ切断と、上記冗長セル置き換えのためのヒューズ切断を含む。ステップS3に於て、ヒューズ切断後のテストを行うために、テストモードを入力する。

【0040】図5は、テストモード入力の例を示す図である。図5に示されるように、入出力インターフェース構成を16ビット構成に設定したいのであれば、アドレ

ス信号A01乃至A05をL、H、H、H、及びLに設定し、アドレス信号A07をHに設定すればよい。なお図3を参照して説明したように、テストモードを指定するときには、コントロール信号/RAS、/CAS、/WE、/CSを全てLOWにして信号/CKEにはスーパーハイを設定する。

【0041】ステップS4に於て、ヒューズ切断後のテストを実行する。これはアドレスを指定して指定したアドレスにデータを書き込み、更にその後データを読み出すことで、書き込んだデータと読み出したデータとが一致するか否かを調べるものである。仮にステップS2のヒューズ切断によって入出力インターフェースが4ビット構成に固定されたとしても、ステップS3のテストモード入力によって16ビット構成のインターフェースに切り替えれば、データ書き込み・データ読み出しを高速に行うことが可能であり、比較的短い時間でテストを終了することが出来る。

【0042】なおデータ書き込み・データ読み出しのテストを行う際に、セルプレートを所定の電位に設定してメモリセルのリーク状態を試験したいのであれば、ステップS3に於て、入出力インターフェース構成を指定するテストモード入力に続いて、セルプレート電位を設定するためのテストモードを入力すればよい。即ち例えば、セルプレート電位をVSSに設定したいのであれば、アドレス信号A01乃至A05をH、L、L、L、及びLに設定し、アドレス信号A07をHに設定すればよい。なおこの時、前回同様に、コントロール信号/RAS、/CAS、/WE、/CSを全てLOWにして信号/CKEにはスーパーハイを設定する。

【0043】以上のように、本発明に於ては、ヒューズ切断後の試験に於て入出力インターフェース構成を切り替えて入出力データビット数の大きな構成にすることが出来るので、ヒューズ切断で固定された入出力インターフェース構成を使用する場合に比較して、データ入出力にかかる時間を大幅に削減することが出来る。以上、本発明は実施例に基づいて説明されたが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載される範囲内で変形・変更が可能である。

【0044】

【発明の効果】請求項1の発明に於ては、あるモードではヒューズの切断状態によって内部回路の動作を選択するので、従来のようにバッドへのボンディングで動作を選択していたのと比較してバッド面積を節約可能であると共に、異なるモードでは制御信号によって内部回路の動作を選択可能であるので、ヒューズ切断後であっても必要に応じて動作切り替えを行うことが出来る。

【0045】請求項2の発明に於ては、ヒューズの切断状態によって出力を確定するヒューズ回路と、ヒューズ回路からの出力或いは制御信号の何れかによって選択信号を確定する品種選択回路を設けることによって、ヒューズ

ーズを切断して動作を確定した後であっても制御信号によって動作を切り替えることが可能となる。請求項3の発明に於ては、制御信号によって第1のモード或いは第2のモードを切り替えることが出来る。

【0046】請求項4の発明に於ては、ヒューズ切断状態或いは制御信号によって、内部回路の入出力インターフェース構成を切り替えることが出来る。請求項5の発明に於ては、通常動作モード時にはヒューズ切断状態で決定される入出力インターフェース構成で動作し、テスト動作モード時には外部入力する信号によって入出力インターフェース構成を切り替えることが可能である。従ってテスト動作モード時には、入出力ビット数の多い入出力インターフェース構成を選択すれば、テストにかかる時間を削減することが出来る。

【0047】請求項6の発明に於ては、テスト動作モード時には外部からのコマンド入力によって入出力インターフェース構成を切り替えて動作試験を行うことが可能である。従ってテスト動作モード時には、入出力ビット数の多い入出力インターフェース構成を選択すれば、動作試験にかかる時間を削減することが出来る。請求項7

の発明に於ては、テスト動作モード時に、入出力ビット数の多い入出力インターフェース構成を選択して動作試験を実行するので、動作試験にかかる時間を削減することが出来る。

【0048】請求項8の発明に於ては、あるモードではヒューズの切断状態によって品種を選択するので、従来のようにパッドへのボンディングで品種を選択していたのと比較してパッド面積を節約可能であると共に、異なるモードでは入力信号によって品種を選択可能であるので、ヒューズ切断後であっても必要に応じて品種切り替えを行うことが出来る。

【0049】請求項9の発明に於ては、ヒューズ切断後であっても、必要に応じて入出力インターフェース構成を切り替えることが出来る。請求項10の発明に於ては、ヒューズ切断後であっても、テスト動作モード時には外部入力する信号によって入出力インターフェース構成を切り替えることが可能である。従ってテスト動作モード時には、入出力ビット数の多い入出力インターフェ

ース構成を選択するようにすれば、テストにかかる時間を削減することが出来る。

【図面の簡単な説明】

【図1】本発明による品種切り替え回路の回路構成を示す回路図である。

【図2】入出力インターフェースの構成を4ビット構成、8ビット構成、及び16ビット構成の何れかに選択する場合の信号組み合わせを示す図である。

【図3】本発明の品種切り替え回路をDRAM等の半導体記憶装置に適用した場合の実施例を示す図である。

【図4】本発明による品種切り替え回路を搭載した半導体記憶装置に対するテストの手順を示すフローチャートである。

【図5】テストモード入力の例を示す図である。

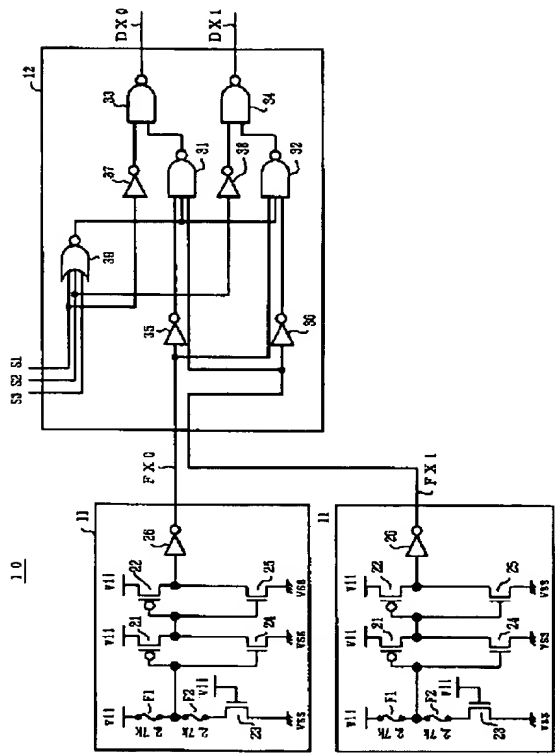
【図6】従来の品種切り替え機構の回路構成を示す回路図である。

【符号の説明】

- 10 品種切り替え回路
- 11 ヒューズ回路
- 12 品種選択回路
- 100 半導体記憶装置
- 101 クロックバッファ
- 102 コマンドデコーダ
- 103 アドレスバッファ
- 104 I/Oデータバッファ
- 105 制御信号ラッチ
- 106 モードレジスタ
- 107 コラムアドレスカウンタ
- 108 テストモード判定回路
- 109 テストモードデコーダ
- 110 品種切り替え回路
- 111 セルプレート電位BUMP制御回路
- 112 バンク
- 121 コラムデコーダ
- 122 ワードデコーダ
- 123 センスアンプ・データ入出力ゲート
- 124 メモリセルアレイ

【図1】

本発明による品種切り替え回路の回路構成を示す回路図



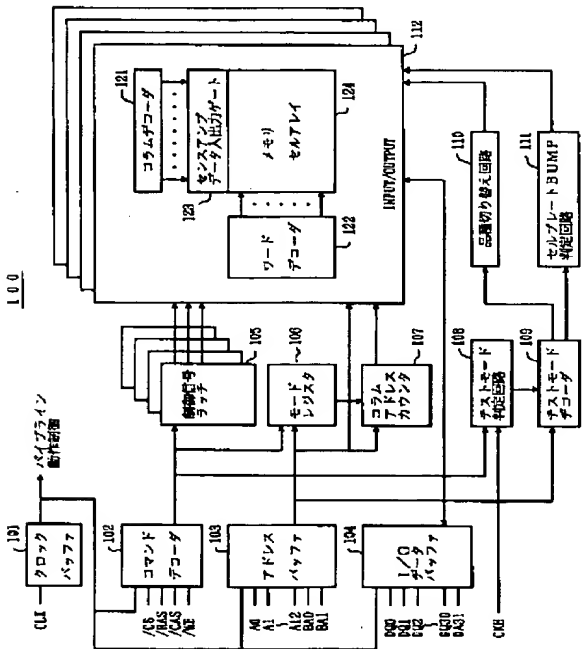
【図2】

入出力インターフェースの構成を4ビット構成、8ビット構成、及び16ビット構成の何れかに選択する場合の信号組み合わせを示す図

	通常	テストモード
FX0	L H L H	* * * * *
FX1	H L L H	* * * * *
S1	L L L L	H L H L H L H
S2	L L L L	L H H L L H H
S3	L L L L	L L L H H H H
DX0	H L L L	H L H L H L H
DX1	L H L L	L H H L L H H
I/O	X4 X8 X16 X16	X4 X8 X16 X16 X4 X8 X16

【図3】

本発明の品種切り替え回路をDRAM等の半導体記憶装置に適用した場合の実施例を示す図



【図4】

本発明による品種切り替え回路を搭載した半導体記憶装置に対するテストの手順を示すフローチャート

